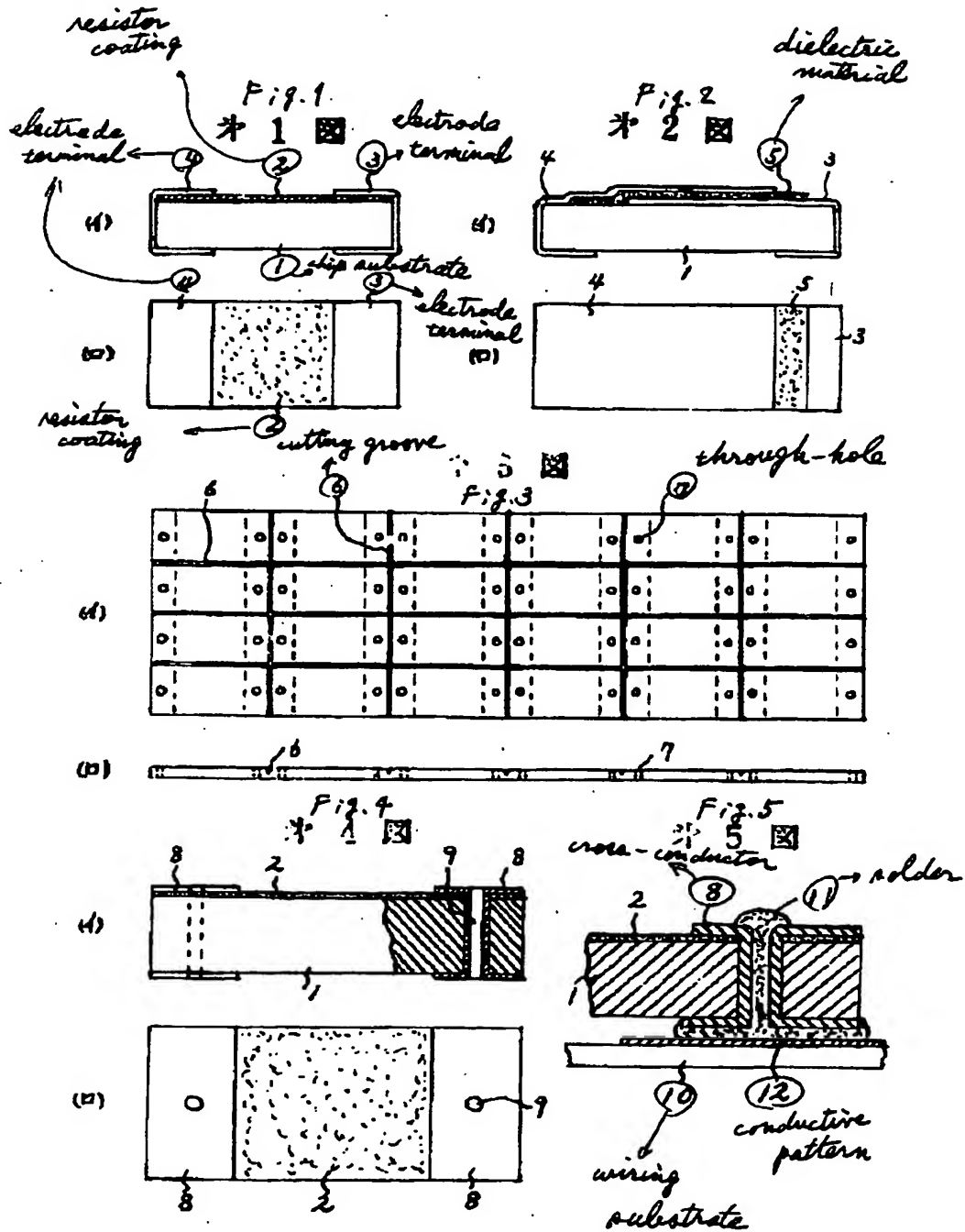


The invention relates to electrode structure of compact electric element such as chip resistor or chip condenser mounted on wiring substrate by soldering. Please see Fig. 4 and Fig. 5.





実 用 新 案 登 録 願

( 4, 0 0 0 円 )

昭和54年3月5日

特許庁長官 熊谷 善 二 殿

1. 考案の名称

コガタデンキアプレシデンキロク  
小型電気部品の電極

2. 考 案 者

長野県伊那市大字伊那165番地  
信英通信工業株式会社内  
佐々木 英 次

3. 実用新案登録出願人

396 長野県伊那市大字伊那165番地  
信英通信工業株式会社  
代表者 登内 英 夫

4. 代 理 人

253 神奈川県茅が崎市赤松町10番6号  
7126 弁理士 芝 崎 政 信  
電 話 0467-52-7033

5. 添付書類の目録

- ✓ (1) 出願審査請求書 1 通 (2) 明 細 書 1 通
- ✓ (3) 図 面 1 通 (4) 委 任 状 1 通
- (5) 願 書 副 本 1 通

54 027955

方 式 査 査  
126601

## 明 細 書

### 1. 考案の名称

#### 小型電気部品の電極

### 2. 実用新案登録請求の範囲

電極を形成する部分に貫通孔を有するチップ基板の上下両面の前記電極を形成する部分および貫通孔に導電性物質を被着させて鳩目状の穴あき電極を形成したことを特徴とするチップ抵抗、チップコンデンサ等、小型電気部品の電極の構造

### 3. 考案の詳細な説明

本考案はチップ抵抗、チップコンデンサ等配線基板にはんだ付けする小型電気部品の電極の構造に関するものである。第1図は従来のチップ抵抗で、1はチップ基板、2は皮膜抵抗、3、4は電極である。第2図は従来のチップコンデンサで、1はチップ基板、3、4は電極、5は誘電体である。以上のように従来のチップ抵抗およびチップコンデンサは、チップ基板の表面の電気素子と接触する電極を、配線基板にはん

だ付けされるチップ基板の裏面の電極と連絡するため、図示のような断面コ型の電極を使用していた。ところでこのコ型電極をチップ基板に取付ける作業は生産性が低いばかりでなく、製品にバラツキがあつて信頼性の低い欠点がある。本考案は上記のような欠点のないチップ電極を提供することを目的とする。

本考案の実施例を図面について説明する。第3図は縦横に割溝6を有し、該割溝6の部分で切断すると多数のチップ基板がえられるブレイク(break)基板である。このブレイク基板にチップ電極を取付ける部分に貫通孔7を設け、チップ抵抗の場合はブレイク基板上に皮膜抵抗を形成させ、次に貫通孔7を含む点線の内側をブレイク基板の表面および裏面から貫通孔7を含めて導電材料を印刷その他の手段によって被着させた後、割溝6の部分で切断すると第4図に示すような、鳩目状の穴あき電極8を備えたチップ抵抗がえられる。第5図は本考案のチップ抵抗を配線基板10に取付けた状態を示してお

り、穴あき電極 8 は鳩目 9 から注入または吸い上げられたはんだ 11 によって配線基板上の導電パターン 12 と接続されている。

本考案は以上の構成を有するので、以下述べるような効果がある。第 1 図および第 2 図のチップ抵抗およびチップコンデンサにおいてはチップ基板の上下両面に導通させるためにコ型電極等を使用する必要があったが本考案の穴あき電極 8 は鳩目 9 によって上下両面を導通させることができるのでその必要がない。前述のように、コ型電極を使用することは生産性および信頼度の低い欠点があるが、本考案は第 3 図に示すようなブレイク基板に印刷等によって多数のチップ基板の電極を同時成形することができるので、生産性が高く、品質の一定した信頼度の高い製品とすることができる。また、貫通孔 7 又は鳩目 9 をガイド孔とすることによって製造工程の自動化が容易となり、はんだ接続が目視できるので接続の良否の判別が容易である。さらに、基板の両面に同一又は異なる電気素子を

設けて容量を増加させ、あるいは異なる電気素子との複合が容易であるなど、いくたのすぐれた利点を有する。

4. 図面の簡単な説明

第1図：従来のチップ抵抗を示す図で、(1)は側面図、(2)は平面図

第2図：従来のチップコンデンサを示す図で、(1)は側面図、(2)は平面図

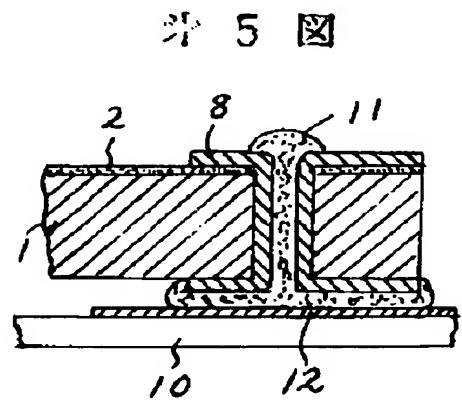
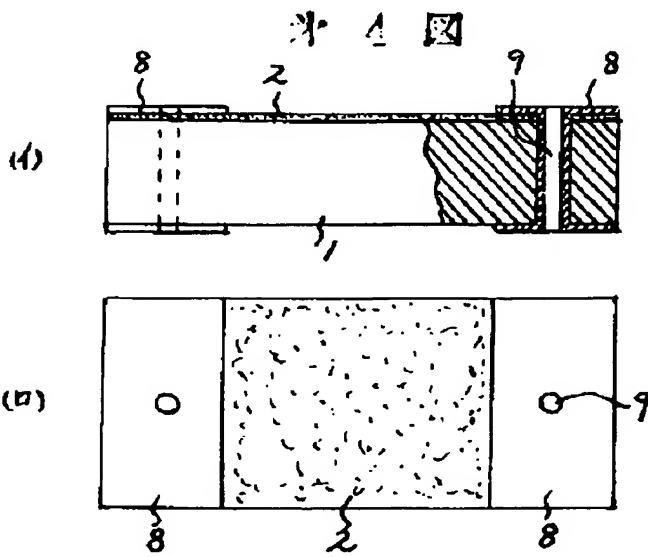
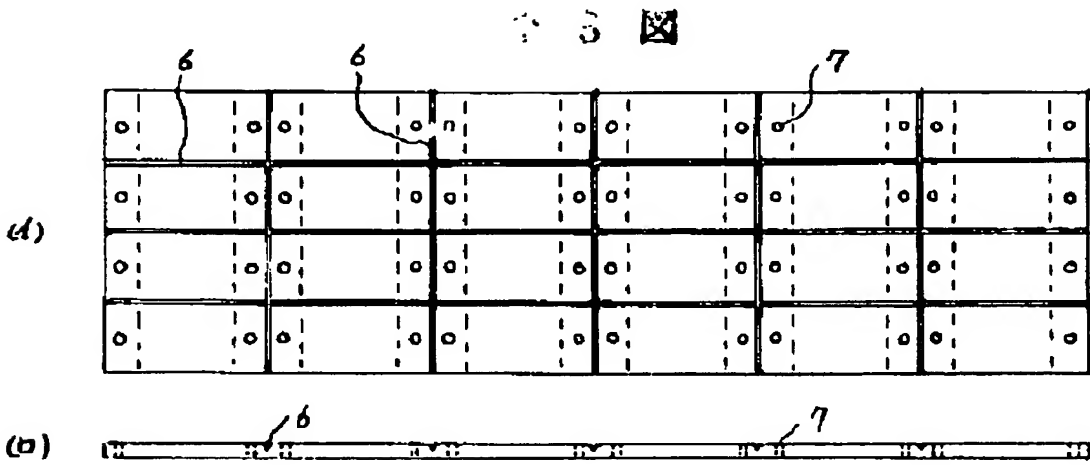
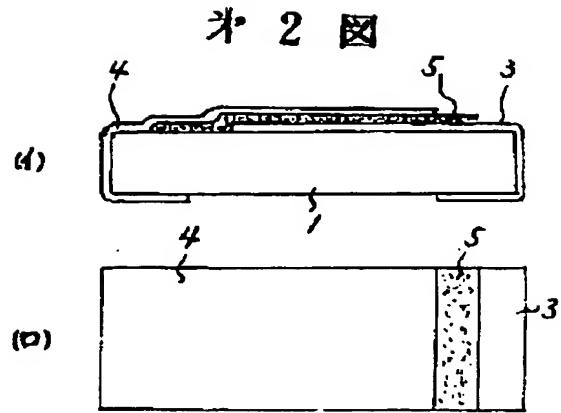
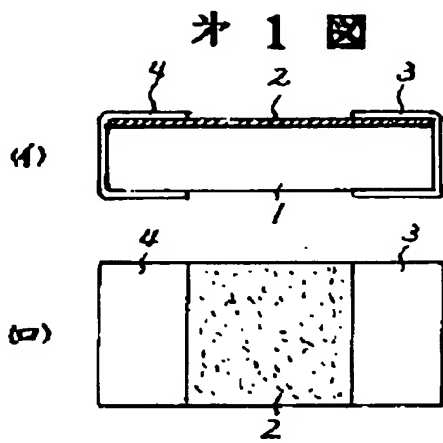
第3図：本考案において使用されるブレイク基板を示す図で、(1)は平面図、(2)は側面図

第4図：本考案の実施例で、(1)は側面図、(2)は平面図

第5図：本考案のチップ抵抗を配線基板にはんだ付けしたときの状態を示す図

1…チップ基板、2…抵抗被膜、3、4…電極、5…誘電体、6…割溝、7…貫通孔、8…穴あき電極、9…鳩目、10…配線基板、11…はんだ、12…導電パターン

代理人弁理士 芝 崎 政 信



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**